

DIALOG(R)File 352:Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

008851668 **Image available**

WPI Acc No: 1991-355688/199149

XRAM Acc No: C91-153292

XRPX Acc No: N91-272233

Mfr. of channel in MOS semiconductor devices - by forming silicon oxide
and polysilicon layer and implanting P-type impurities in polysilicon
which diffuse into element region

Patent Assignee: TOSHIBA KK (TOKE)

Inventor: EGUCHI T; TOYOSHIMA Y

Number of Countries: 004 Number of Patents: 007

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 459398	A	19911204	EP 91108692	A	19910528	199149 B
JP 4118936	A	19920420	JP 90300184	A	19901106	199229
US 5153146	A	19921006	US 91705570	A	19910524	199243
EP 459398	A3	19920102	EP 91108692	A	19910528	199320
EP 459398	B1	19941207	EP 91108692	A	19910528	199502
DE 69105621	E	19950119	DE 605621	A	19910528	199508
			EP 91108692	A	19910528	
KR 9408571	B1	19940924	KR 918712	A	19910528	199633

Priority Applications (No Type Date): JP 90300184 A 19901106; JP 90137333 A
19900528

Cited Patents: NoSR.Pub; 3.Jnl.Ref; GB 2005075; JP 52065683

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 4118936	A		6 H01L-021/336	
US 5153146	A		11 H01L-021/265	
EP 459398	B1 E	12	H01L-029/784	
DE 69105621	E		H01L-029/784	Based on patent EP 459398
KR 9408571	B1		H01L-029/784	

Abstract (Basic): EP 459398 A

Forming a p-channel region of a MOS transistor on the element region of an n-type semiconductor substrate (12) by forming a silicon oxide layer (14) followed by a polysilicon layer (15). P-type impurities are implanted in the polysilicon which then diffuse into the element region via the silicon oxide layer with the result that a p-channel region of the p-channel transistor is formed.

The process comprises: 1) form first gate oxide layer (14) on an element region of a semiconductor substrate (12) on a first conductivity type. 2) Form polysilicon layer (15) on gate oxide layer. 3) Dope polysilicon with impurities opposite in conductivity type to substrate, e.g. B can be ion implanted at 40 KeV or less. 4) Diffuse dopant from the polysilicon layer into the element region of the substrate, by diffusion involving a heat treatment in hydrogen or steam.

USE/ADVANTAGE - It is possible to control the threshold of the MOS transistor without ion implantation through the gate oxide layer. Since it is not subjected to ion implantation it is not required to be reformed and it is easy to position the peak of impurity distribution at the interface with the gate oxide film giving superior MOS transistor characteristics.

(11pp Dwg.No.3B/5)

Title Terms: MANUFACTURE; CHANNEL; MOS; SEMICONDUCTOR; DEVICE;
FORMING; SILICON; OXIDE; POLY; SILICON; LAYER; IMPLANT; P; TYPE; IMPURE;
POLY; SILICON; DIFFUSION; ELEMENT; REGION

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-021/265; H01L-021/336; H01L-029/784

International Patent Class (Additional): H01L-021/22; H01L-021/225;
H01L-029/10; H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

03753836 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 04-118936 [JP 4118936 A]

PUBLISHED: April 20, 1992 (19920420)

INVENTOR(s): TOYOSHIMA YOSHIAKI

EGUCHI TAMAO

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 02-300184 [JP 90300184]

FILED: November 06, 1990 (19901106)

INTL CLASS: [5] H01L-021/336; H01L-021/225; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1246, Vol. 16, No. 372, Pg. 72,
August 11, 1992 (19920811)

ABSTRACT

PURPOSE: To control the threshold value of a MOS transistor without executing an ion implantation operation, to easily arrange, at the interface of a gate oxide film the peak of an impurity distribution in the depth direction of a substrate in a channel part and to easily form a fine MOS transistor by a method wherein a p-type layer is formed by a diffusion operation through the gate oxide film.

CONSTITUTION: A field insulating film 12 for element isolation use is formed on the surface of an n-type silicon substrate 11; a thin silicon oxide film 13 is formed on a region in which an element is to be formed. A polycrystalline silicon film 14 is deposited on the whole surface of the substrate; ions of a p-type impurity are implanted. A heat treatment is executed in a nitrogen atmosphere which contains hydrogen. Boron is diffused to the surface of the substrate from the polycrystalline silicon film 14, a p-type layer 15 is formed. In succession, n-type impurities are diffused thermally, the polycrystalline silicon film 14 is changed to an n-type and is used as a gate electrode material 14'. Then, the gate electrode material 14' is patterned, a gate electrode 14" for a MOS transistor is formed. After that, ions of a p-type impurity are implanted; p-type source-drain diffusion layers 16 for the MOS transistor are formed on the surface of the substrate.

⑫ 公開特許公報(A)

平4-118936

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)4月20日

H 01 L 21/336
21/225
29/784

P 8518-4M

8422-4M H 01 L 29/78 3 0 1 Y

審査請求 未請求 請求項の数 3 (全6頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 平2-300184

⑰ 出 願 平2(1990)11月6日

優先権主張 ⑱ 平2(1990)5月28日 ⑲ 日本(JP) ⑳ 特願 平2-137333

㉑ 発 明 者 豊 島 義 明 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

㉒ 発 明 者 江 口 珠 生 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

㉓ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉔ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 第1導電型の半導体基板表面にシリコン酸化物膜を形成した後に多結晶シリコン膜を堆積する工程と、

上記多結晶シリコン膜に上記第1導電型とは逆導電型の第2導電型不純物を添加する工程と、

上記第2導電型不純物が添加された多結晶シリコン膜から前記半導体基板表面に第2導電型不純物を拡散させる工程と、

上記第2導電型不純物が添加された多結晶シリコン膜に第1導電型不純物を拡散させることにより、上記多結晶シリコン膜の導電型を変化させる工程

とを含むことを特徴とする半導体装置の製造方法。

(2) 第1導電型の半導体基板表面に第1のシリコン酸化物膜を形成した後に第1の多結晶シリコ

ン膜を堆積する工程と、

上記第1の多結晶シリコン膜に上記第1導電型とは逆導電型の第2導電型不純物を添加する工程と、

上記第2導電型不純物が添加された第1の多結晶シリコン膜から前記半導体基板表面に第2導電型不純物を拡散させる工程と、

上記第2導電型不純物が添加された第1の多結晶シリコン膜および前記第1のシリコン酸化物膜を除去する工程と、

半導体基板表面に第2のシリコン酸化物膜を形成した後に第2の多結晶シリコン膜を堆積する工程と、

上記第2の多結晶シリコン膜に第1導電型不純物を拡散する工程

とを含むことを特徴とする半導体装置の製造方法。

(3) 前記第2導電型不純物が添加された第1の多結晶シリコン膜から前記半導体基板表面に第2導電型不純物を拡散させる工程が、水素又は水

を含む雰囲気ガス中の熱処理により行われる請求項1又は2記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の目的〕

（産業上の利用分野）

本発明は、半導体装置の製造方法に係り、特にMOS（絶縁ゲート型）トランジスタおよびこれを含む半導体集積回路の製造方法に関する。

（従来の技術）

ゲートに不純物濃度の高い多結晶シリコン膜を用いるシリコンゲート型MOSトランジスタを製造する場合、例えばn型シリコン基板上にpチャネル型MOSトランジスタを製造する場合には、一般的に第3図（a）乃至（d）に示すような工程で製造している。

即ち、まず、第3図（a）に示すように、n型シリコン基板31の表面に素子間分離用のフィールド絶縁膜32を選択酸化法により形成する。

次に、第3図（b）に示すように、素子形成予定領域上にシリコン酸化膜33を形成し、さらに、

いるpチャネル型MOSトランジスタでは、MOSトランジスタの閾値を $-0.8 \sim -0.5$ Vの実用範囲に設定するために前記したようにp型のボロンをイオン注入すると、第3図（c）に示すように、ゲート酸化膜34とシリコン基板31との界面近傍にはp型層37が形成される。

第4図は、第3図（d）のpチャネル型MOSトランジスタのチャネル部の基板深さ方向の不純物分布の一例を示している。ここで、閾値を制御する上で、上記p型層37には十分な濃度、かつ、浅い分布を持たせる必要があり、また、不純物分布のピークはなるべくゲート酸化膜界面に配置されるようにする必要がある。

ところで、前記したような製造方法のように、MOSトランジスタの閾値を制御するためにイオン注入法を用いた場合には、注入イオンに晒されたシリコン酸化膜33をそのまま用いてMOSトランジスタを構成することには問題が多い。即ち、MOSトランジスタの微細化に伴ってゲート酸化膜厚も薄くする必要があるが、上記したような注

MOSトランジスタの閾値を制御するためにシリコン酸化膜33を通してp型不純物、例えばB（ボロン）のイオン注入を行う。

次に、第3図（c）に示すように、前記シリコン酸化膜33を除去し、再び、所定の膜厚のシリコン酸化膜（ゲート酸化膜）34を形成し、さらに、多結晶シリコン膜35を堆積し、これにn型不純物、例えばP（リン）を拡散してゲート電極材とする。

次に、第3図（d）に示すように、上記多結晶シリコン膜35を所定の形状にパターンニングしてMOSトランジスタのゲート電極35'を形成した後、p型不純物、例えばボロンのイオン注入を行うことにより、基板表面にMOSトランジスタのp型ソース・ドレイン拡散層36を形成する。

上記したような製造方法は、現在広く用いられているが、MOSトランジスタの微細化に伴って特にpチャネル型MOSトランジスタの形成に際して問題が顕在化してきた。即ち、n型不純物が添加された多結晶シリコンゲート電極35'を用

入イオンに晒されたシリコン酸化膜33では十分な耐圧や信頼性を確保することが困難になってきている。そこで、第3図（b）に示したイオン注入工程の後にシリコン酸化膜33を除去し、再び、所定の膜厚のMOSトランジスタのゲート酸化膜34を形成している。

しかし、このような製造方法では、MOSトランジスタの閾値を制御するためのボロンのイオン注入後にゲート酸化膜34を形成するので、基板表面付近のボロンがゲート酸化膜34中に吸い出され、基板表面付近のボロン濃度が低下し、前述したように不純物分布のピークをゲート酸化膜界面に配置することが困難になる。このことは、第4図中に示したp型層37の拡散深さ x_1 を大きくするので、微細なpチャネル型MOSトランジスタを形成することが極めて困難なものになってしまう。

（発明が解決しようとする課題）

上記したように従来のMOSトランジスタの製造方法は、MOSトランジスタの閾値を制御する

ためにゲート酸化膜を通してイオン注入を行うことに起因して、イオン注入工程後にゲート酸化膜を除去し、再び、所定の膜厚のMOSトランジスタのゲート酸化膜を形成する必要が生じ、このイオン注入後のゲート酸化膜の形成時に基板表面付近の不純物がゲート酸化膜中に吸い出され、基板表面付近の不純物濃度が低下し、不純物分布のピークをゲート酸化膜界面に配置することが困難になり、微細なMOSトランジスタを形成することが極めて困難なものになるという問題がある。

本発明は、上記問題点を解決すべくなされたもので、その目的は、ゲート酸化膜を通してイオン注入を行うことなくMOSトランジスタの閾値を制御することが可能になり、ゲート酸化膜がイオン注入に晒されることがなく、MOSトランジスタの閾値制御後にゲート酸化膜を再び形成する必要がなくなり、基板の深さ方向の不純物分布のピークをゲート酸化膜界面に配置することが容易になり、微細なMOSトランジスタを容易に形成し得る半導体装置の製造方法を提供することにある。

ゲート酸化膜中に吸い出されて基板表面付近の不純物濃度が低下することもなく、基板の深さ方向の不純物分布のピークをゲート酸化膜界面に配置することが容易になり、微細なMOSトランジスタを容易に形成することが可能になる。

(実施例)

以下、図面を参照して本発明の一実施例を詳細に説明する。

第1図(a)乃至(d)は、n型シリコン基板上にpチャネル型MOSトランジスタを製造する場合の工程を示している。

即ち、まず、第1図(a)に示すように、n型シリコン基板11の表面に素子間分離用のフィールド絶縁膜12を選択酸化法により形成し、素子形成予定領域上に例えば10nm以下の薄いシリコン酸化膜(ゲート酸化膜)13を形成する。これまでの工程は従来と同様である。

次に、MOSトランジスタの閾値を制御するために、第1図(b)に示すように、基板上の全面に多結晶シリコン膜14を400nm程度堆積し、

(発明の構成)

(課題を解決するための手段)

本発明の半導体装置の製造方法は、第1導電型の半導体基板表面にシリコン酸化膜を形成した後、多結晶シリコン膜を堆積する工程と、上記多結晶シリコン膜に上記第1導電型とは逆導電型の第2導電型不純物を添加する工程と、上記第2導電型不純物が添加された多結晶シリコン膜から前記半導体基板表面に第2導電型不純物を拡散させる工程と、上記第2導電型不純物が添加された多結晶シリコン膜に第1導電型不純物を拡散させることにより、上記多結晶シリコン膜の導電型を変化させる工程とを含むことを特徴とする。

(作用)

本発明方法では、ゲート酸化膜を通してイオン注入を行うことなくMOSトランジスタの閾値を制御することが可能になり、ゲート酸化膜がイオン注入に晒されることがなく、MOSトランジスタの閾値制御後にゲート酸化膜を再び形成する必要がなくなる。従って、基板表面付近の不純物が

この多結晶シリコン膜14に対して、p型不純物、例えばボロンのイオン注入を加速電圧40KeV、ドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ で行う。引き続き、10%の水素を含む窒素雰囲気中で900℃、30分の熱処理を行うことにより、上記多結晶シリコン膜14から基板表面にボロンを拡散させてp型層15を形成する。ここで雰囲気ガスに水素を添加する利点は、上記のように900℃の熱処理を行う場合、窒素のみの雰囲気と比べて水素を含む窒素雰囲気では、ボロンのシリコン酸化膜13中における拡散速度が約1000倍に増加するが、シリコン基板11中における拡散速度はそれ程大きくは変化しないということである。この性質を利用することにより、シリコン基板11中には浅いp型層15を形成することができる。すなわち、温度を上げずに、又は拡散時間を長くせずに、ボロンが添加された多結晶シリコン膜14からシリコン酸化膜13を通してシリコン基板11にボロンを効率良く輸送でき、基板表面のボロン濃度を上げることができ、結果としてシリコン基板表面に形成され

るp型層15の拡散深さを深くかつ高濃度にする
ことができる。また、シリコン基板11の表面に
多結晶シリコン膜14からボロンを拡散させる際
には、水素の代わりに水を含む窒素雰囲気中で熱
処理を行っても同様の効果を得ることができる。
なお、この状態では、上記多結晶シリコン膜14
はボロンによりp型になっている。

引き続き、第1図(c)に示すように、n型不
純物、例えばリンを含む雰囲気中で900℃、60分
の熱拡散を行うことにより、上記多結晶シリコン
膜14をn型に変化させてゲート電極材14'と
する。なお、この場合、リンはボロンと比べて、
シリコン酸化膜13中での拡散がはるかに遅いの
で、基板へのリン拡散は殆んど生じない。

次に、第1図(d)に示すように、上記ゲート
電極材(n型の多結晶シリコン膜)14'を所定
の形状にパターンニングしてMOSトランジスタの
ゲート電極14''を形成した後、p型不純物、例
えばボロンのイオン注入を加速電圧35KeV、ド
ーズ量 $1 \times 10^{13} \text{ cm}^{-2}$ で行うことにより、基板表

面にMOSトランジスタのp型ソース・ドレイン
拡散層16を形成する。この場合、ボロンはn型
のゲート電極14'中にも注入されるが、前記し
たリンの拡散により多結晶シリコン膜14'中の
n型不純物濃度は十分高くなっているため、上記
ボロンが注入されてもゲート電極14'のn型導
電性は保証される。

第2図は、上記したように製造された第1図
(d)のpチャネル型MOSトランジスタのチャ
ネル部の基板深さ方向の不純物分布の一例を示し
ている。

即ち、上記実施例の製造方法によれば、ゲート
酸化膜13を通した拡散によりp型層15を形成
するものであり、ゲート酸化膜13を通してイオ
ン注入を行うことなくMOSトランジスタの閾値
を制御することが可能になる。これにより、ゲ
ート酸化膜13がイオン注入に晒されてイオン注
入による損傷が生じることがなく、MOSトランジ
スタの閾値制御後にゲート酸化膜を再び形成す
る必要がなくなるので、MOSトランジスタのチャ

ネル部の基板深さ方向の不純物分布のピークをゲ
ート酸化膜界面に配置することが容易になり、か
つ、p型層15の拡散深さ x を約 $0.05 \mu\text{m}$ と極
めて小さく保つことが可能になる。従って、同一
の熱工程を経た従来のpチャネル型MOSトラン
ジスタと比べて、微細なpチャネル型MOSトラン
ジスタを容易に形成することが可能になり、ゲ
ート長縮小による閾値の低下、いわゆる短チャ
ネル効果においても約 $0.15 \mu\text{m}$ の改善効果が認め
られた。

また、上記実施例の製造方法によれば、ゲート
酸化膜13の膜厚、多結晶シリコン膜14に対す
る注入するボロンイオンのドーズ量、多結晶シリ
コン膜14から基板11へのボロン拡散の条件な
どの制御が容易な要素により、チャネル部表面の
不純物濃度の高精度制御が可能になる。

また、ゲート酸化膜13の膜厚が 10 nm 、多結
晶シリコン膜14から基板表面にボロンを拡散さ
せる条件を前述のように、水素を添加した窒素雰
囲気で900℃、80分、多結晶シリコン膜14に対

するボロンのイオン注入をドーズ量 $1 \times 10^{13} \sim$
 $5 \times 10^{13} \text{ cm}^{-2}$ で行った場合、基板表面濃度を
 $5 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ に制御することができ、
拡散深さは $0.03 \sim 0.08 \mu\text{m}$ となり、従来例の拡散
深さの $1/2 \sim 1/3$ にすることができた。

なお、上記実施例において、第1図(b)に示
したp型層形成工程を経たゲート酸化膜13をそ
のまま用いるのに問題がある場合には、前記多結
晶シリコン膜14および前記ゲート酸化膜13を
除去し、再び、基板表面にシリコン酸化膜(ゲ
ート酸化膜)を形成した後に多結晶シリコン膜を増
殖し、この多結晶シリコン膜にn型不純物を拡散
するように工程を変更してもよい。

また、上記実施例では、ディスクリット・デバ
イスについて説明を行ったが、本発明は、MOS
(絶縁ゲート)型半導体集積回路、あるいは、バ
イポーラ・MOS型半導体集積回路、あるいは、
CCD(電荷結合素子)とかEPROM(紫外線
消去・再書き込み可能な読み出し専用メモリセル)
素子を混成した半導体集積回路の製造方法にも適

用できる。

〔発明の効果〕

上述したように本発明の半導体装置の製造方法によれば、ゲート酸化膜を通してイオン注入を行うことなくMOSトランジスタの閾値を制御することが可能になり、ゲート酸化膜がイオン注入に晒されることがなく、MOSトランジスタの閾値制御後にゲート酸化膜を再び形成する必要がなくなるので、MOSトランジスタのチャネル部の基板深さ方向の不純物分布のピークをゲート酸化膜界面に配置することが容易になり、微細なMOSトランジスタを容易に形成することが可能になる。

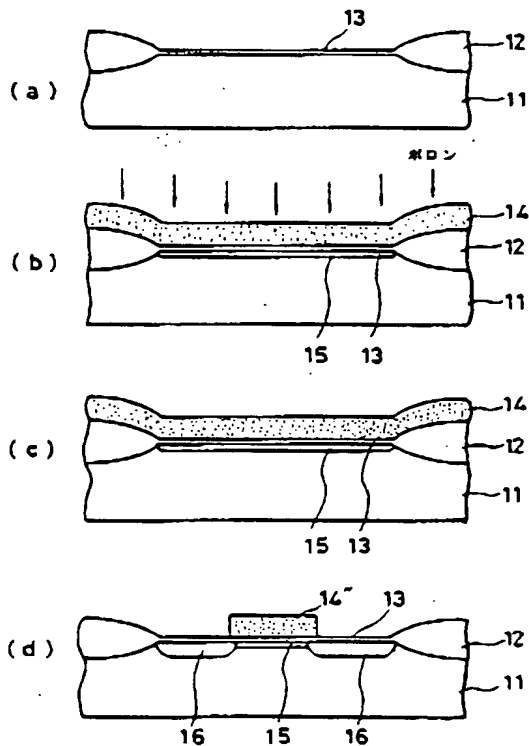
4. 図面の簡単な説明

第1図(a)乃至(d)は本発明の一実施例に係るpチャネル型MOSトランジスタの製造工程における断面構造を示す図、第2図は第1図(d)のMOSトランジスタのチャネル部の基板深さ方向の不純物分布の一例を示す図、第3図(a)乃至(d)は従来のpチャネル型MOSトランジスタの製造工程における断面構造を示す図、第4図

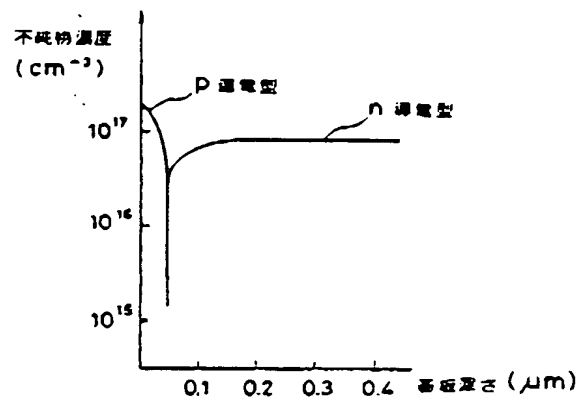
は第3図(d)のMOSトランジスタのチャネル部の基板深さ方向の不純物分布の一例を示す図である。

11…n型シリコン基板、12…フィールド絶縁膜、13…シリコン酸化膜(ゲート酸化膜)、14…多結晶シリコン膜、14'…ゲート電極、15…p型層、16…p型ソース・ドレイン拡散層。

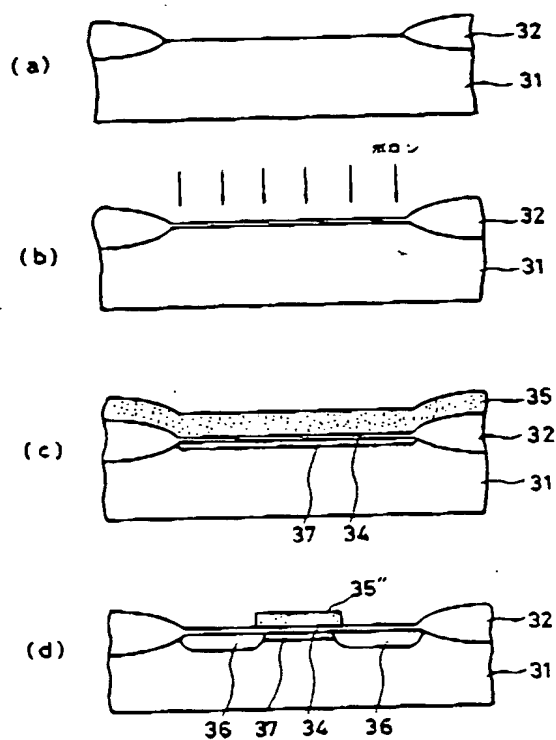
出願人代理人 弁理士 鈴江武彦



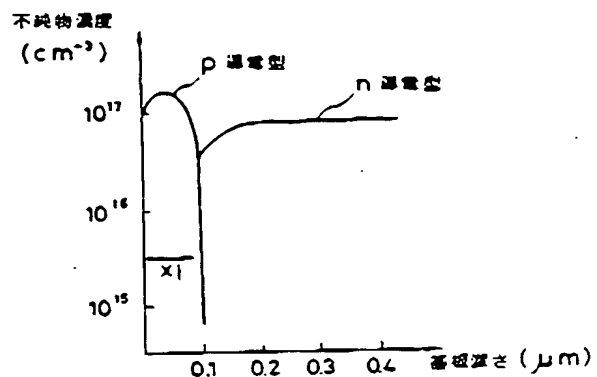
第1図



第2図



第 3 図



第 4 図

⑫ 公開特許公報(A)

平3-148836

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)6月25日

H 01 L 21/336
21/22
29/784

E 7454-5F

9056-5F H 01 L 29/78 3 1 1 P

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 薄膜トランジスタの製造方法

⑯ 特 願 平1-287566

⑰ 出 願 平1(1989)11月6日

⑱ 発 明 者 田 島 和 浩 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑲ 発 明 者 野 口 隆 東京都品川区北品川6丁目7番35号 ソニー株式会社内
⑳ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号
㉑ 代 理 人 弁理士 高橋 光男

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

絶縁膜上の多結晶シリコン層の表面にゲート領域を形成し、該ゲート領域を不純物導入に対するマスクとして、不純物ガスの雰囲気中で短波長のパルスレーザを照射することによって、ソース領域およびドレイン領域を形成する工程を含む薄膜トランジスタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、多結晶シリコンを用いた薄膜トランジスタの製造方法に関し、レーザドーピング技術を用いた薄膜トランジスタに関するものである。

(発明の概要)

本発明は、薄膜トランジスタのソース領域およびドレイン領域をセルフアライン法によって形成し、レーザドーピング技術によって接合を形成する方法である。まず、ゲート酸化膜とその上に多結晶シリコンのゲート領域を形成し、このゲート領域をマスクとして、三弗化硼素を含むガスの雰囲気中で、短波長のパルスレーザであるエキシマレーザを照射することによって、ソース領域およびドレイン領域を形成する工程を含む薄膜トランジスタの製造方法である。薄膜トランジスタのソース領域およびドレイン領域の膜厚は500オングストローム以下にもかかわらず、欠陥の少ない低抵抗の領域を形成することができる。

(従来の技術)

半導体単結晶基板上に、レーザ、特に短波長のパルスレーザであるエキシマレーザを照射して不純物を導入する、いわゆるレーザドーピング技術を用いて接合を形成する方法が提案されていた。例えば、GILD(Gas Immersion Laser Dop

ing)と呼ばれるPチャンネルMOSFETの製造方法があった(IEEE Electron Device Letters, Vol. 9 No. 10, 1988年 542ないし544頁)。

その製造方法の概略を、第2図aないしcに示す。まず、第2図aに示すように、半導体単結晶基板1の表面に、絶縁分離のためのパッド酸化膜2aと窒化膜2bを所定の領域に形成する。次に、第2図bに示すように、フィールド酸化膜3を形成後、ゲート酸化膜4を形成し、さらに多結晶シリコンのゲート電極5を形成する。多結晶シリコンのゲート電極の側面を含めて酸化してシリコン酸化膜の側壁6を形成しておく。この側壁は、不純物導入の際、横方向の拡散距離に見合う厚さにしておく。次に、第1図cに示すようにソース・ドレインとなるべき領域の酸化膜を除去した後、例えば三弗化硼素のような不純物ガス7を含む雰囲気中で、波長が308ナノメートルのXeClのエキシマレーザ8を照射しつつ、ソース領域9aおよびドレイン領域9bにP型の不純物を導入する。このエキシマレーザを用いた不純物の導入によっ

ていた。

しかしながら、サブミクロン以下のチャンネル長の短いスタックドTFETを実現するには、下部に構成したIC素子への熱の影響を避けるために、低温で局所的な輻射エネルギーを短時間加え、かつ接合近傍の結晶性を向上させる必要があった。

(課題を解決するための手段)

本発明による薄膜トランジスタの製造方法では、短波長のパルスレーザであるエキシマレーザを用いて、局所的にソース領域およびドレイン領域をメルトさせてドーピングし、熱処理も同時に行うことによって横方向への拡散が小さいスタックドTFETを実現することができる。

(作用)

本発明による薄膜トランジスタの製造方法では、短波長のパルスレーザを用いてソース領域およびドレイン領域を照射するとき、ソース領域およびドレイン領域の多結晶シリコンの膜厚は500オン

グストローム以下であり、レーザ照射によってメルトする深さは、およそ400オングストロームであるから、再結晶化に伴う欠陥の発生も少なく、接合の移動も500オングストローム以下にすることができる。

近年、メモリ装置の大容量化を実現するために、メモリ回路の負荷抵抗として薄膜トランジスタをすでに形成されたIC素子の上に絶縁膜を被せてその表面にPチャンネルのMOSFET等を形成する、いわゆるスタックド薄膜トランジスタ(以下スタックドTFETという)を形成する構造のメモリ装置が提案されていた。

(発明が解決しようとする課題)

前記スタックドTFETのソース領域およびドレイン領域を形成するには、接合近傍の欠陥が少なく、かつチャンネル長に影響を及ぼす接合の移動ができるだけ小さい必要があった。従来のイオン注入法による不純物の注入を行えば、非晶質化した注入領域の活性化と再結晶化のために熱処理を必要とし、そのためにランプアニール等が行われ

グストローム以下であり、レーザ照射によってメルトする深さは、およそ400オングストロームであるから、再結晶化に伴う欠陥の発生も少なく、接合の移動も500オングストローム以下にすることができる。

(実施例)

本発明の実施例を第1図aおよび第1図bを用いて説明する。

第1図aに示すように、メモリ等のIC素子をすでに形成した(図示せず)半導体単結晶基板1の表面に絶縁膜11を形成する。この絶縁膜11は下部のIC素子との分離や配線を行うための層間絶縁膜で、通常SiO₂膜を用いる。次に、絶縁膜11の表面にCVD法等によって多結晶シリコン層12をおよそ400オングストローム成長させる。次に、ゲート酸化膜4とゲート電極となるべき多結晶シリコン13を形成して所定のチャンネル長に対応した幅の多結晶シリコンのパターンを形成する。次に、第1図bに示すように、例えば三弗化硼素の

ようなP型の不純物ガス7の雰囲気中で、XeClのエキシマレーザ8を照射する。エキシマレーザ8の照射によって、多結晶シリコン層12はメルトし、ソース領域14aおよびドレイン領域14bに不純物がメルト領域以内に導入される。所定のエキシマレーザの走査時間によって不純物導入領域の再結晶化が行われるので、接合部の欠陥の発生は少なく、低抵抗のソース領域14aとドレイン領域14bを形成することができる。接合の深さは、多結晶シリコン層12の厚さによって制限されるので、レーザのパワーやパルス幅の変化による影響は、単結晶基板へのレーザドーピングに比し少ない。

不純物ガス7をゲートの多結晶シリコン13へ同時に導入し、ゲート電極15とすれば、1度のレーザドーピングでソースとドレインおよびゲートを形成することができる。

本発明の実施例においては、P型の不純物ガスを用いて説明したが、N型の不純物ガスであってもよい。

(発明の効果)

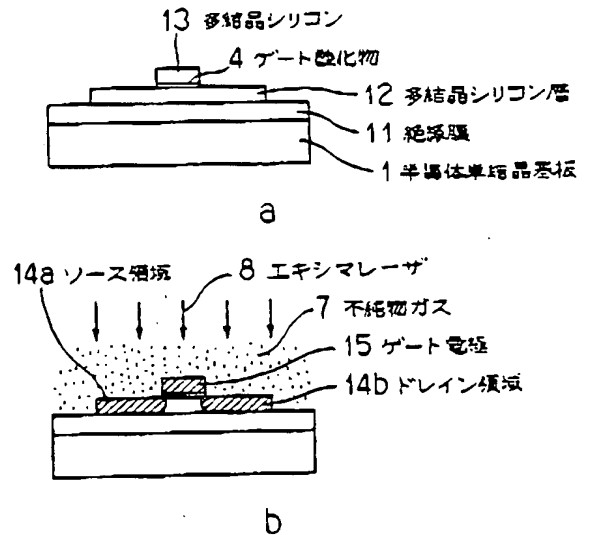
本発明による薄膜トランジスタの製造方法によれば、ソース領域およびドレイン領域の膜厚を500オングストローム以下としているので、不純物の横方向拡散が膜厚以下に抑制され、かつ欠陥の発生が少なく低抵抗のソース領域およびドレイン領域を形成することができるので、リーク電流の小さい薄膜トランジスタを実現することができる。

4. 図面の簡単な説明

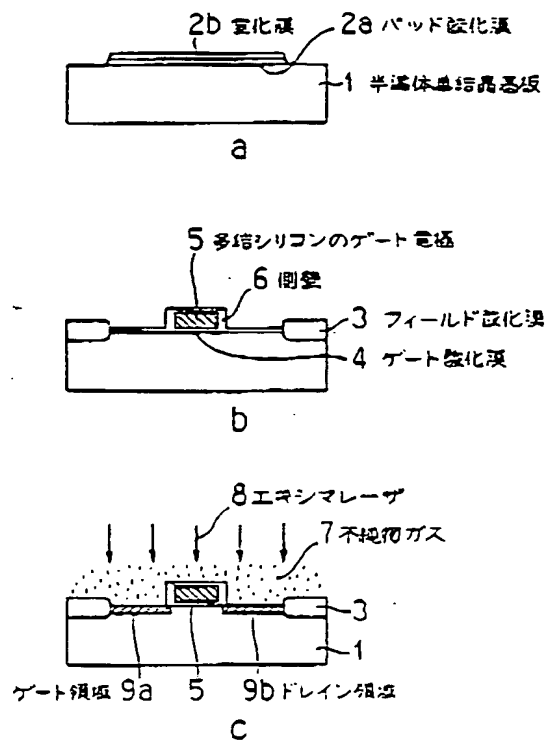
第1図aおよび第1図bは本発明の薄膜トランジスタを製造する工程図、第2図a乃至第2図cは従来のMOSFETを製造する工程図である。

- | | | |
|----------|-------|---------------|
| 1 | | 半導体単結晶基板 |
| 2 a | | パッド酸化膜 |
| 2 b | | 窒化膜 |
| 3 | | フィールド酸化膜 |
| 4 | | ゲート酸化膜 |
| 5 | | 多結晶シリコンのゲート電極 |
| 6 | | 側壁 |
| 7 | | 不純物ガス |
| 8 | | エキシマレーザ |
| 9 a、14 a | | ソース領域 |
| 9 b、14 b | | ドレイン領域 |
| 11 | | 絶縁膜 |
| 12 | | 多結晶シリコン層 |
| 13 | | 多結晶シリコン |
| 15 | | ゲート電極 |

特許出願人 ソニー株式会社
代理人 弁理士 高橋光男



第1図 本発明の薄膜トランジスタを製造する工程図



第2図 従来のMOSFETを製造する工程図